

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-041815
 (43)Date of publication of application : 13.02.1998

(51)Int.CI. H03L 7/18

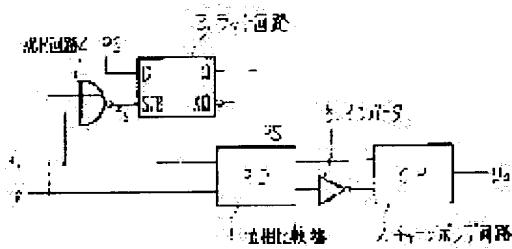
(21)Application number : 08-197460 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 26.07.1996 (72)Inventor : NAKAMICHI HIROTO
 YAMAZAKI KOBO

(54) PLL FREQUENCY SYNTHESIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress delays in lock-up time by preventing frequency fluctuation at the time of turning into a power-save state.

SOLUTION: A reference signal fr and a comparison signal fp are inputted to a NOR circuit 4, and its output signal fs and a power save signal PS are inputted to a latch circuit 3. Since the latch circuit 3 is holding a previous 'H' level, even when the power save signal PS is at 'L' level, the power save signal PS controlling a charge pump circuit 2 to be inputted to a phase comparator 1 becomes 'H' level. Afterwards, at a time when both the reference signal fr and the comparison signal fp become the 'L' level, the output signal fs of the NOR circuit 4 is turned to the 'H' level and inputted to the latch circuit 3 as a strobe signal. Thus, a holding state is canceled, the power save signal PS inputted at present is outputted as it is, the charge pump circuit 2 is turned to the power-save state, and the lock-up time can be shortened.



LEGAL STATUS

[Date of request for examination] 30.03.2000
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3261988
 [Date of registration] 21.12.2001
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

特許第3261988号
(P3261988)

(45)発行日 平成14年3月4日(2002.3.4)

(24)登録日 平成13年12月21日(2001.12.21)

(51)Int.Cl.⁷

H 03 L 7/18

識別記号

F I

H 03 L 7/18

Z

請求項の数7(全9頁)

(21)出願番号 特願平8-197460

(22)出願日 平成8年7月26日(1996.7.26)

(65)公開番号 特開平10-41815

(43)公開日 平成10年2月13日(1998.2.13)
審査請求日 平成12年3月30日(2000.3.30)

(73)特許権者 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1
番1号

(72)発明者 中道 博人

鹿児島県薩摩郡入来町副田5950番地 株
式会社九州富士通エレクトロニクス内

(72)発明者 山崎 弘法

鹿児島県薩摩郡入来町副田5950番地 株
式会社九州富士通エレクトロニクス内

(74)代理人 100108187

弁理士 横山 淳一

審査官 畑中 博幸

(56)参考文献 特開 平6-197013 (JP, A)

特開 平5-327492 (JP, A)

最終頁に続く

(54)【発明の名称】 PLL周波数シンセサイザ

(57)【特許請求の範囲】

【請求項1】 基準信号と比較信号の位相を比較する位相比較器と、該位相比較器による位相差に比例した位相差パルスを出力するチャージポンプ回路と、該チャージポンプ回路の出力に応じた周波数の信号を出力する電圧制御発振器とを有し、該電圧制御発振器の出力を比較信号として該位相比較器にフィードバックすることにより該基準信号と該比較信号をロックアップするとともに、外部から該位相比較器に入力されるパワーセーブ信号によりパワーセーブ状態に移行するPLL周波数シンセサイザにおいて、該基準信号と該比較信号の少なくとも一方の状態に基づいて該位相差パルスが出力されるか否かを判断する論理回路と、該論理回路の判断結果に基づき、該位相差パルスの出力

中は該パワーセーブ信号をラッチするラッチ回路を備え、

該パワーセーブ信号は該ラッチ回路を介して該位相比較器に入力されることを特徴とするPLL周波数シンセサイザ。

【請求項2】 該論理回路は、該基準信号と該比較信号を入力信号とするNOR回路或いはNAND回路であることを特徴とする請求項1記載のPLL周波数シンセサイザ。

【請求項3】 該論理回路は、該基準信号と該比較信号のいずれか一方を入力信号とするインバータであることを特徴とする請求項1記載のPLL周波数シンセサイザ。

【請求項4】 基準信号と比較信号の位相を比較する位相比較器と、該位相比較器による位相差に比例した位相

差パルスを出力するチャージポンプ回路と、該チャージポンプ回路の出力に応じた周波数の信号を出力する電圧制御発振器とを有し、該電圧制御発振器の出力を比較信号として該位相比較器にフィードバックすることにより該基準信号と該比較信号をロックアップするとともに、外部から入力されるパワーセーブ信号によりパワーセーブ状態に移行するPLL周波数シンセサイザにおいて、該基準信号と該比較信号の少なくとも一方の状態に基づいて該位相差パルスが出力されるか否かを判断する第1の論理回路と、

該第1の論理回路の判断結果に基づき、該位相差パルスの出力中は該パワーセーブ信号をラッチするラッチ回路と、

該位相比較器と該ラッチ回路の出力に基づいてパワーセーブ状態へ移行するか否かを判断する第2の論理回路を備え、

該第2の論理回路の出力に基づいて該チャージポンプ回路をパワーセーブ状態に移行させることを特徴とするPLL周波数シンセサイザ。

【請求項5】 該第1の論理回路は、該基準信号と該比較信号を入力信号とするNOR回路或いはNAND回路であり、

該第2の論理回路は、該位相比較器の出力信号と該ラッチ回路の出力信号を入力信号とする一対のOR回路であることを特徴とする請求項4記載のPLL周波数シンセサイザ。

【請求項6】 該第1の論理回路は、該基準信号と該比較信号を入力信号とするNOR回路或いはNAND回路であり、

該第2の論理回路は、該位相比較器の出力信号と該ラッチ回路の出力信号を入力信号とする一対のNAND回路であることを特徴とする請求項4記載のPLL周波数シンセサイザ。

【請求項7】 該第1の論理回路は、該基準信号と該比較信号のいずれか一方を入力信号とするインバータであり、

該第2の論理回路は、該位相比較器の出力信号と該ラッチ回路の出力信号を入力信号とする一対のOR回路或いは一対のNAND回路であることを特徴とする請求項4記載のPLL周波数シンセサイザ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、携帯電話等の無線機器における周波数チャンネル切換を行いうためのPLL(フェーズ・ロックド・ループ)周波数シンセサイザに関する。このようなPLL周波数シンセサイザにおいては、周波数が固定されるまでのロックアップ時間を短くすることが要求される。

【0002】

【従来の技術】 図7は、PLL周波数シンセサイザの基

本構成を示す回路ブロック図である。PLL周波数シンセサイザは、図7に示すように、基準周波数 f_r と比較周波数 f_p を入力し、これらの位相を比較する位相比較器71と、位相差に比例した電流を流すチャージポンプ回路72と、チャージポンプ回路72からの信号をDCレベルにするためのローパスフィルタ73と、電圧に応じて出力周波数を変化させるための電圧制御発振器74からなることを基本構成としている。

【0003】 以上のような構成において、電圧制御発振器74からの信号を比較周波数 f_p として位相比較器71にフィードバックさせる動作を繰り返し行うことにより、基準周波数 f_r と比較周波数 f_p を同じ周波数、同じ位相に合わせる、即ちロックアップさせていく。携帯電話等においては、待機時における消費電力を抑えるために、位相比較器71にパワーセーブ信号PSを入力することでパワーセーブ状態にすることを可能にしている。

【0004】 図8は、図7における位相比較器71及びチャージポンプ回路72の代表的な回路構成を示すものである。位相比較器71は、基準信号 f_r と比較信号 f_p との位相差を比較し、その位相差に応じた出力をチャージポンプ回路72に伝えるものであり、チャージポンプ回路72は、位相比較器71より出力される2値論理の位相差信号を3値論理に変換し、位相差に比例した電流を流入及び流出するものである。

【0005】 即ち、比較信号 f_p が基準信号 f_r より遅れている時には位相差パルスをA側に出力することで、チャージポンプ回路72のPMOSトランジスタP1をオン状態(“H”状態)として、電圧制御発振器74(図7参照)の制御電圧を上昇させる。また、比較信号 f_p が基準信号 f_r より進んでいる時には位相差パルスをB側に出力し、インバータで反転することで、チャージポンプ回路72のNMOSトランジスタN1をオン状態(“L”状態)として、電圧制御発振器74の制御電圧を下降させる。

【0006】 そして、比較信号 f_p と基準信号 f_r とが一致してロック状態になった時にはチャージポンプ回路72からは信号が出力されない状態(“Z”状態)となる。尚、位相比較器71には、一部省略してあるが、複数のインバータからなる遅延回路76が設けられており、この遅延回路76の途中のNAND回路にパワーセーブ信号PSを入力する構成としている。

【0007】 図9は、PLL周波数シンセサイザのロック状態における位相比較器71に入力される基準信号 f_r 及び比較信号 f_p と、チャージポンプ回路72の出力信号DOの関係を示すタイミングチャートである。図9に示すように、基準信号 f_r と比較信号 f_p の立ち上がり時間が一致しているロック状態においても、リーク電流等によって僅かに周波数がずれていく可能性があることから、ロック状態を安定させるために、チャージポン

ンプ回路72から僅かな位相差パルスD₀が出力される。

【0008】この時の位相差パルスD₀は、図8に示す遅延回路76によって制御されている。

【0009】

【発明が解決しようとする課題】上記従来のPLL周波数シンセサイザでは、パワーセーブ信号PSが位相比較記71に入力されると、チャージポンプ回路72の出力は、その出力状態に関係なくパワーセーブ状態に入る。即ち、図9に示すように、ロック状態において位相差パルスD₀が出力されるタイミングと、パワーセーブ信号PSが“H”（ハイ）レベルから“L”（ロー）レベルになるタイミングとが一致する可能性がある。

【0010】因みにパワーセーブ信号PSは、“H”レベルが通常モードであり、“L”レベルがパワーセーブモードに設定されている。このように、位相差パルスD₀出力中にパワーセーブ状態に入ると、ロックアップ動作が行われなくなるため周波数が大きく変化する。従って、大きく周波数が変化しているパワーセーブ状態においては、そこから所定の周波数に合わせるまでのロックアップ時間が長くなり、携帯電話等の機能低下につながる。

【0011】本発明は、上記課題を解決して、パワーセーブ状態になる際の周波数変動を防止することにより、ロックアップ時間の遅延を抑えることを目的としている。

【0012】

【課題を解決するための手段】上記課題の解決は、基準信号と比較信号の位相を比較する位相比較器と、該位相比較器による位相差に比例した位相差パルスを出力するチャージポンプ回路と、該チャージポンプ回路の出力に応じた周波数の信号を出力する電圧制御発振器とを有し、該電圧制御発振器の出力を比較信号として該位相比較器にフィードバックすることにより該基準信号と該比較信号をロックアップするとともに、外部から該位相比較器に入力されるパワーセーブ信号によりパワーセーブ状態に移行するPLL周波数シンセサイザにおいて、該基準信号と該比較信号の少なくとも一方の状態に基づいて該位相差パルスが出力されるか否かを判断する論理回路と、該論理回路の判断結果に基づき該位相差パルスの出力中は該パワーセーブ信号をラッチするラッチ回路を備え、該パワーセーブ信号は該ラッチ回路を介して該位相比較器に入力されることを特徴とするPLL周波数シンセサイザ、あるいは、該論理回路は、該基準信号と該比較信号を入力信号とするNOR回路或いはNAND回路であり、該第2の論理回路は、該位相比較器の出力信号と該ラッチ回路の出力信号を入力信号とする一对のOR回路であることを特徴とする上記PLL周波数シンセサイザ、あるいは、該第1の論理回路は、該基準信号と該比較信号を入力信号とするNOR回路或いはNAND回路であり、該第2の論理回路は、該位相比較器の出力信号と該ラッチ回路の出力信号を入力信号とする一对のNAND回路であることを特徴とする上記PLL周波数シンセサイザ、あるいは、該第1の論理回路は、該基準信号と該比較信号のいずれか一方を入力信号とするインバータであり、該第2の論理回路は、該位相比較器の出力信号と該ラッチ回路の出力信号を入力信号とする一对のOR回路或いは一对のNAND回路であることを特徴とする上記PLL周波数シンセサイザによって達成される。

と、該位相比較器による位相差に比例した位相差パルスを出力するチャージポンプ回路と、該チャージポンプ回路の出力に応じた周波数の信号を出力する電圧制御発振器とを有し、該電圧制御発振器の出力を比較信号として該位相比較器にフィードバックすることにより該基準信号と該比較信号をロックアップするとともに、外部から入力されるパワーセーブ信号によりパワーセーブ状態に移行するPLL周波数シンセサイザにおいて、該基準信号と該比較信号の少なくとも一方の状態に基づいて該位相差パルスが出力されるか否かを判断する第1の論理回路と、該第1の論理回路の判断結果に基づき該位相差パルスの出力中は該パワーセーブ信号をラッチするラッチ回路と、該位相比較器と該ラッチ回路の出力に基づいてパワーセーブ状態へ移行するか否かを判断する第2の論理回路を備え、該第2の論理回路の出力に基づいて該チャージポンプ回路をパワーセーブ状態に移行させることを特徴とするPLL周波数シンセサイザ、あるいは、該第1の論理回路は、該基準信号と該比較信号を入力信号とするNOR回路或いはNAND回路であり、該第2の論理回路は、該位相比較器の出力信号と該ラッチ回路の出力信号を入力信号とする一对のOR回路であることを特徴とする上記PLL周波数シンセサイザ、あるいは、該第1の論理回路は、該基準信号と該比較信号を入力信号とするNOR回路或いはNAND回路であり、該第2の論理回路は、該位相比較器の出力信号と該ラッチ回路の出力信号を入力信号とする一对のNAND回路であることを特徴とする上記PLL周波数シンセサイザ、あるいは、該第1の論理回路は、該基準信号と該比較信号のいずれか一方を入力信号とするインバータであり、該第2の論理回路は、該位相比較器の出力信号と該ラッチ回路の出力信号を入力信号とする一对のOR回路或いは一对のNAND回路であることを特徴とする上記PLL周波数シンセサイザによって達成される。

【0013】上記本発明によれば、外部から入力されたパワーセーブ信号PSはラッチ回路3を介して、PLL周波数シンセサイザに入力されるよう構成されており、チャージポンプ回路2より出力パルスD₀が発生している場合には、PLL周波数シンセサイザにはパワーセーブ信号が入力されない。従って、PLL周波数シンセサイザ内で出力パルスD₀とパワーセーブ信号PSが同時に発生することができなく、周波数が大きく変化することがなくなる。

【0014】

【発明の実施の形態】以下、本発明の実施例を図面を参考しながら詳細に説明する。図1は、本発明のPLL周波数シンセサイザの第一実施例を示す回路ブロック図であり、図2は第一実施例のPLL周波数シンセサイザがロック状態にある時の各信号のタイミングチャートである。

【0015】本実施例におけるPLL周波数シンセサイ

ザは、図1に示すように、基準信号 f_r と比較信号 f_p が入力される位相比較器1、位相差に比例した電流を流すチャージポンプ回路2、位相比較器1と同様基準信号 f_r と比較信号 f_p とが入力されるNOR回路4、NOR回路4の出力信号 f_s とパワーセーブ信号PSとを入力信号とするラッチ回路3を備えている。

【0016】インバータ5は、チャージポンプ回路2のNMOSトランジスタをオン状態にするために、位相比較器1の出力信号を反転させるものである。尚、図示していないが、位相比較器1及びチャージポンプ回路2の構成は、図7と同様であり、チャージポンプ回路2の出力信号（位相差パルス）D_oは、図6と同様ローパスフィルタ及び電圧制御発振器等を介して、比較信号 f_p としてフィードバックされている。

【0017】図2は、ロック状態において、チャージポンプ回路2の出力パルスD_oとパワーセーブ信号PSが同タイミングで発生した場合のタイミングチャートを示すものである。従来のパワーセーブ信号を直接位相比較器1に入力する構成では、チャージポンプ回路2の出力パルスD_oとパワーセーブ信号PSが重なることにより、周波数の大きな変化が発生することがあった。

【0018】これに対して本実施例では、基準信号 f_r と比較信号 f_p とをNOR回路4に入力して、この出力信号 f_s とパワーセーブ信号PSとをラッチ回路3に入力する構成としている。NOR回路4は、基準信号 f_r と比較信号 f_p とがいずれも“L”レベルの時に、

“H”レベルを出力するものであり、図2に示すように位相差パルスD_oの出力時にパワーセーブ信号PSがパワーセーブモードである“L”レベルになったとしても、基準信号 f_r と比較信号 f_p が“H”レベルであるため、ストローブ信号としてラッチ回路3に入力される信号 f_s は、“L”レベルとなる。

【0019】従って、ラッチ回路3はパワーセーブ信号PSが“L”レベルであるにも関わらず、それ以前の“H”レベルを保持している。このため、位相比較器1に入力されチャージポンプ回路2を制御するパワーセーブ信号PS'は、通常モードである“H”レベルとなる。その後、基準信号 f_r と比較信号 f_p がいずれも“L”レベルになった時点で、NOR回路4の出力信号 f_s が“H”レベルとなり、ラッチ回路3にストローブ信号として入力される。

【0020】ラッチ回路3にストローブ信号として“H”レベルが入力されると、それまでの保持状態が解除され、現在入力されているパワーセーブ信号PSがそのまま出力されるため、位相比較器1への入力信号PS'は、“L”レベルとなり、チャージポンプ回路2がパワーセーブ状態になる。以上のように本実施例によれば、ロック状態において位相比較器1に入力されるパワーセーブ信号PS'は、基準信号 f_r と比較信号 f_p の立ち上がり時、即ち位相差パルスD_oが出力される時に

は、ラッチ回路3に入力されるパワーセーブ信号PSが“L”レベルになったとしても通常モードである“H”レベルを継続する。

【0021】従って、位相差パルスD_oが発生している時には、位相比較器1に入力されるパワーセーブ信号PS'がパワーセーブモードの“L”レベルになることはなく、ロックされている周波数が大きく変化することはない。即ち、パワーセーブ時においてもロックアップ時間は短くすることができる。図3は、本発明の第二、第三実施例を説明するための回路ブロック図である。

【0022】図3(a)に示す第二実施例は、論理回路としてNOR回路4を使用した第一実施例に対して、NAND回路14を使用するもので、位相比較器11、チャージポンプ回路12、ラッチ回路13は同様な構成である。即ち、第一実施例では、基準信号 f_r と比較信号 f_p の少なくとも一方が“H”レベルの場合に、ラッチ回路にストローブ信号として入力される信号 f_s が“L”レベルとなる構成であったが、本実施例では、基準信号 f_r と比較信号 f_p がいずれも“H”レベルの時にラッチ回路13に入力される信号 f_s が“L”レベルになる構成となっている。

【0023】PLL周波数シンセサイザのロック状態において、位相差パルスD_oが出力されるのは、基準信号 f_r と比較信号 f_p の立ち上がり時から遅延回路によって設定される所定の時間のみであり、例えば比較信号 f_p が“L”レベルになった時点では、位相差パルスD_oは出力されていないため、パワーセーブ信号PS'が位相比較器11に入力され、チャージポンプ回路12がパワーセーブ状態になってもロック周波数が大きく変化することはない。

【0024】図3(b)に示す第三実施例は、基準信号 f_r のみをインバータ24を介してラッチ回路23に入力する構成にしており、位相比較器21、チャージポンプ回路22については前実施例と同様な構成である。本実施例では、基準信号 f_r が反転された信号 f_s がラッチ回路23に入力されるため、基準信号 f_r が“H”レベルの時には、ラッチ回路23には“L”レベルがストローブ信号として入力される。

【0025】従って、結果的に各信号の出力は、図2で説明した第一実施例と同様となり、簡単な構成によって同様な効果を得ることができる。本実施例では、基準信号 f_r をインバータ24を介して反転させてラッチ回路23に入力する構成にしているが、比較信号 f_p をインバータ24に入力する構成にしても良い。

【0026】この場合、各信号は図3(a)で説明した第二実施例と同様な出力となり、位相差パルスD_oの出力と、位相比較器21に入力されるパワーセーブ信号PS'のパワーセーブ状態が一致することなく、ロック周波数の大きな変化は生じない。図4は本発明の第四、第五実施例を説明するための回路ブロックである。

【0027】第一～第三実施例が、ラッチ回路の出力信号であるパワーセーブ信号PS'を位相比較器に入力して制御したのに対して、第四実施例からはラッチ回路の出力信号であるパワーセーブ信号PS'を論理回路を介してチャージポンプ回路に入力するものである。第四実施例においては、パワーセーブ信号PS'のパワーセーブモードは、“H”レベルとなる。

【0028】図4(a)は、本発明の周波数シンセサイザの第四実施例を説明するための回路ブロック図であり、基準信号frと比較信号fpが入力される位相比較器31、同様に基準信号frと比較信号fpが入力されるNOR回路34、NOR回路34の出力信号fsをストローブ信号として入力すると共に、パワーセーブ信号PSを入力するラッチ回路33、位相比較器31とラッチ回路33の出力信号をそれぞれ入力する一対のOR回路36、37、更にOR回路36の出力信号AとOR回路37の出力信号Bをインバータ35にて反転させた信号を入力するチャージポンプ回路32を備えている。

【0029】尚、図示していないが、位相比較器31は図8における遅延回路内のNAND回路を省いた構成であると共に、チャージポンプ回路32は、図8と同様な構成としており、チャージポンプ回路32の出力信号D0は、図7と同様ローパスフィルタ及び電圧制御発振器等を介して、比較信号fpとしてフィードバックされている。

【0030】図5は、第四実施例の周波数シンセサイザにおいて、ロック状態でのチャージポンプ回路32の出力パルスD0とパワーセーブ信号PSが同タイミングで発生した場合のタイミングチャートを示すものである。本実施例では、基準信号frと比較信号fpとをNOR回路34に入力して、この出力信号fsとパワーセーブ信号PSとをラッチ回路33に入力する構成としている。

【0031】NOR回路34は、基準信号frと比較信号fpとがいずれも“L”レベルの時に、“H”レベルを出力するものであり、図5に示すように位相差パルスD0の出力時にパワーセーブ信号PSがパワーセーブモードである“L”レベルになったとしても、基準信号frと比較信号fpが“H”レベルであるため、ストローブ信号としてラッチ回路33に入力される信号fsは、“L”レベルとなる。

【0032】従って、ラッチ回路33はパワーセーブ信号PSが“L”レベルであるにも関わらず、それ以前の“H”レベルを保持して、パワーセーブ信号PS'としてはこれが反転された“L”レベルが出力されている。一対のOR回路36、37には、上記“L”レベルのパワーセーブ信号PS'と位相比較器31の出力信号PD1、PD2がそれぞれ入力され、この論理信号が一方は直接、他方はインバータ35を介してチャージポンプ回路32に入力される。

【0033】従って、基準信号frと比較信号fpが一致して位相差パルスD0が出力されている際に、パワーセーブ信号PSが“H”レベルより“L”レベルになったとしても、ラッチ回路33によって前のパワーセーブ信号PSの状態、即ち“H”レベルを保持するため、パワーセーブ状態になることはない。その後、基準信号frと比較信号fpがいずれも“L”レベルになった時点で、NOR回路34の出力信号fsが“H”レベルとなり、ラッチ回路33にストローブ信号として入力される。

【0034】ラッチ回路33にストローブ信号として“H”レベルが入力されると、それまでの保持状態が解除され、現在入力されているパワーセーブ信号PSが反転されて出力されるため、OR回路36、37に入力される信号PS'は、“H”レベルとなり、チャージポンプ32がパワーセーブ状態になる。以上のように本実施例によれば、ロック状態において一対のOR回路36、37に入力されるパワーセーブ信号PS'は、基準信号frと比較信号fpの立ち上がり時、即ち位相差パルスD0が出力される時には、ラッチ回路33に入力されるパワーセーブ信号PSが“L”レベルになったとしてもチャージポンプ回路32を通常状態にする“L”レベルを継続して出力する。

【0035】従って、位相差パルスD0が発生している時には、チャージポンプ回路32はパワーセーブ状態になることはなく、ロックされている周波数が大きく変化することはない。本実施例では、ラッチ回路33より出力されるパワーセーブ信号PS'を位相比較器31を介すことなく、チャージポンプ回路32側に送っていることから、位相比較器31内に備えられる遅延回路(図8参照)を通ることがないため、応答速度が速くなる。

【0036】図4(b)に示す第五実施例は、第四実施例の変形例であり、ラッチ回路43の出力PS'がパワーセーブ信号PSのインバート信号であった第四実施例に対してスルー信号であること、位相比較器41の出力信号をインバートしていること、更に位相比較器41とラッチ回路43の出力信号を入力する論理回路をNAND回路46、47にしている点が異なっている。

【0037】本実施例は、結果的に第四実施例と同様な信号がチャージポンプ回路42に入力される構成となっており、その効果は同等なものである。また、図示していないが、第四実施例のNOR回路34をNAND回路に代えてもロック時における周波数変動を抑えることが可能である。即ち、第四実施例が基準信号frと比較信号fpとのどちらか一方が“H”レベルの場合にラッチ回路が保持状態になる構成であるのに対して、両信号fr、fpの両方が“H”レベルの時にラッチ回路が保持状態になる構成である。

【0038】PLL周波数シンセサイザのロック状態において、位相差パルスD0が出力されるのは、基準信号

f_r と比較信号 f_p の立ち上がり時から遅延回路によって設定される所定の時間のみであり、例えば比較信号 f_p が “L” レベルになった時点（図5参照）では、位相差パルス D_o は出力されていないため、パワーセーブ信号 PS' が “H” レベルになり、チャージポンプ回路がパワーセーブ状態になってしまってもロック周波数が大きく変化することはない。

【0039】更に、第五実施例のNOR回路44をNAND回路に代えても同様な効果を得ることができる。図6は本発明の第六、第七実施例を説明するための回路ブロックである。図6（a）に示す本発明の第六実施例は、基準信号 f_r のみをインバータ54を介してラッチ回路53に入力する構成にしており、位相比較器51、一対のOR回路56, 57、更にチャージポンプ回路52については第四実施例と同様な構成である。

【0040】本実施例では、基準信号 f_r が反転された信号 f_s がラッチ回路53に入力されるため、基準信号 f_r が “H” レベルの時には、ラッチ回路53には “L” レベルがストローブ信号として入力される。従って、結果的に各信号の出力は、図5（a）で説明した第四実施例と同様となり、簡単な構成によって、同様な効果を得ることができる。

【0041】図6（b）に示す本発明の第七実施例は、比較信号 f_p をインバータ64を介してラッチ回路63に入力する構成であり、ラッチ回路63の出力信号 PS' はパワーセーブ信号 PS のスルー信号を使用し、位相比較器61とラッチ回路63の出力信号を入力する論理回路としては一対のNAND回路66, 67を備え、NAND回路66の出力信号とNAND回路67の出力信号をインバータ65によって反転させた信号とをチャージポンプ回路62に入力する構成としている。

【0042】本実施例では、比較信号 f_p が反転された信号 f_s がラッチ回路63に入力されるため、比較信号 f_p が “H” レベルの時には、ラッチ回路63には “L” レベルがストローブ信号として入力される。従って、図4（b）で説明した第五実施例におけるNOR回路44をNAND回路に代えた例と同様な動作となり、ロック状態において位相差パルス D_o が出力されている

時にチャージポンプ回路62がパワーセーブ状態になることがないため、ロック周波数が大きく変化することはない。

【0043】尚、図示していないが、第六実施例においてインバータ54に比較信号 f_p を入力する構成、また、第七実施例においてインバータ64に基準信号 f_r を入力する構成にすることによってもロック状態における周波数変動を同様に防止することが可能である。

【0044】

【発明の効果】本発明のPLL周波数シンセサイザによれば、パワーセーブ信号 PS は、所定の論理回路を介して入力信号によって制御されるラッチ回路に入力され、2つの入力信号の立ち上がりが一致する領域では、パワーセーブ信号がラッチ回路から出力されない構成になっていることから、ロック状態での位相差パルス発生時にチャージポンプ回路がパワーセーブ状態になることがなく、ロック周波数の変動が起こることがない。

【0045】従って、パワーセーブ状態においてもロックアップ時間を短くすることが可能となる。

【図面の簡単な説明】

【図1】本発明の第一実施例を説明するための回路ブロック図である。

【図2】本発明の第一実施例における動作説明を行うタイミングチャートである。

【図3】本発明の第二、第三実施例を説明するための回路ブロック図である。

【図4】本発明の第四、第五実施例を説明するための回路ブロック図である。

【図5】本発明の第四実施例における動作説明を行うタイミングチャートである。

【図6】本発明の第六、第七実施例を説明するための回路ブロック図である。

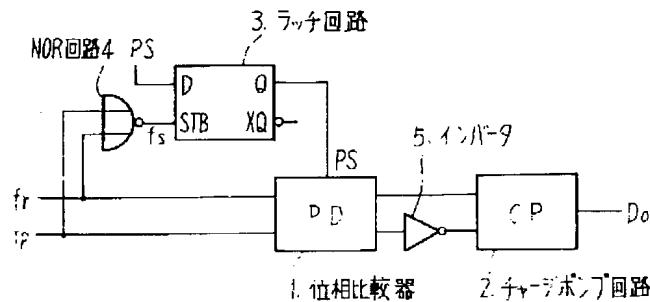
【図7】PLL周波数シンセサイザの基本構成図である。

【図8】従来のPLL周波数シンセサイザを説明するための回路図である。

【図9】従来技術における動作説明を行うタイミングチャートである。

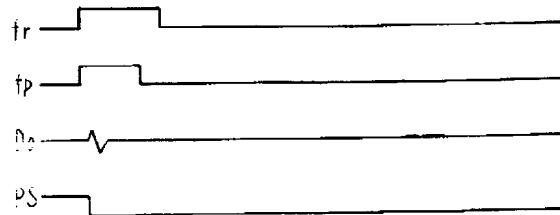
【図1】

本発明の第一実施例を説明するための回路ブロック図



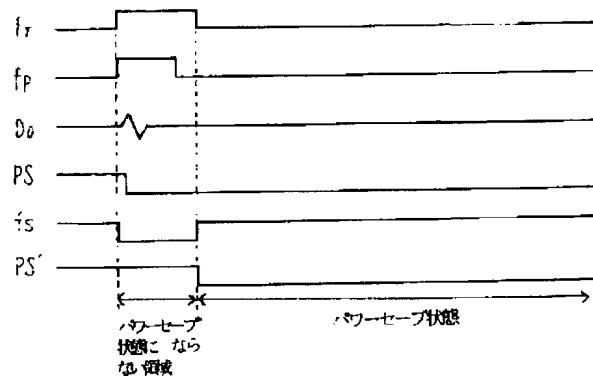
【図9】

従来技術における動作説明を行うタイミングチャート



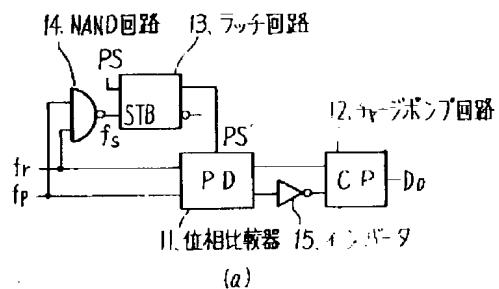
【図2】

本発明の第一実施例における動作説明を行うタイミングチャート

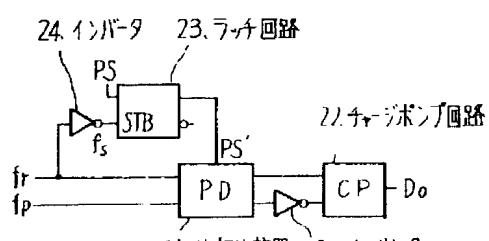


【図3】

本発明の第二、第三実施例を説明するための回路ブロック図



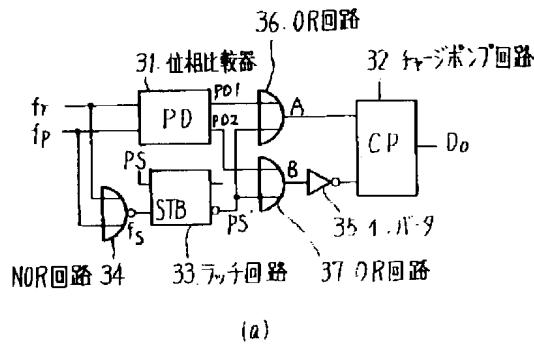
(a)



(b)

〔図4〕

本発明の第四、第五実施例を説明するための回路ブロック図

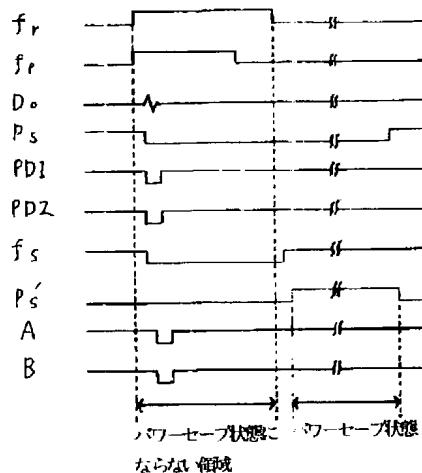


位相比較器 41 46. NAND回路 42. タンゲント回路
 44. NOR回路 45 ラッピング回路 47. NAND回路

(b)

【図5】

本発明の第四実施例における動作説明を行うタイミングチャート

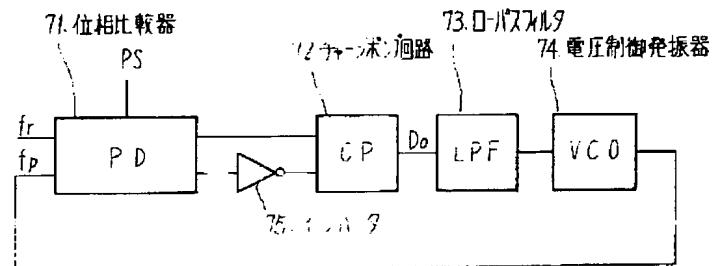


【圖 6】

本発明の第四、第五実施例を説明するための 回路ブロック図

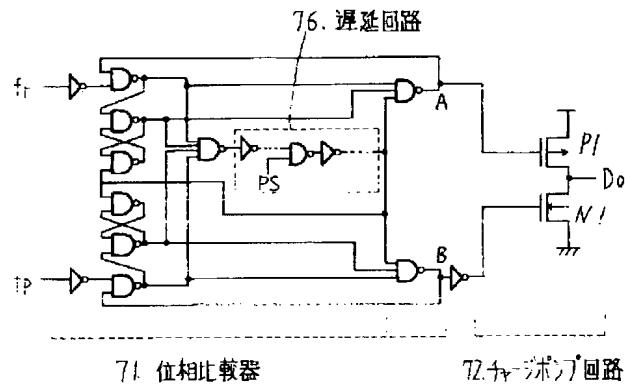
【図7】

PLL周波数シンセサイザの基本構成図



【図8】

従来のPLL周波数シンセサイザを説明するための回路図



フロントページの続き

(58)調査した分野(Int. Cl. 7, DB名)

H03L 7/18